



Leistungsfähige ARM CPUs für den industriellen Einsatz

Layerscape ARM Cortex-A CPUs von NXP mit Features aus der PowerPC Welt.

Performance und Echtzeitfähigkeits-Vergleich von ARM und PowerPC.

Kei Thomsen, MicroSys Electronics GmbH

Übersicht

- Sind ARM Prozessoren endlich für den industriellen Einsatz gerüstet?
- Notwendige Eigenschaften
- Kurzvorstellung NXP™ Layerscape® ARM® CPU
- LS1046A
- Performance Vergleiche
- Latency Benchmark Messung
- LLVM/CLANG
- Sind ARM Prozessoren endlich für den industriellen Einsatz gerüstet?

Sind ARM Prozessoren endlich für den Industriellen Einsatz gerüstet?

- Die meisten ARM Prozessoren sind für den kommerziellen Einsatz gebaut.
 - Wenn kaputt oder nicht mehr lieferbar ... Pech gehabt.
- Notwendige Eigenschaften für den Einsatz in der Industrie.
 - Erweiterter Temperaturbereich
 - Speicher mit Fehlerkorrektur (ECC Memory)
 - Massenspeicher mit langlebigen Zellen (NAND SLC)
 - Langzeitverfügbarkeit
 - Industrietaugliche IO Schnittstellen
 - Echtzeitfähigkeit

Notwendige Eigenschaften Erweiterter Temperaturbereich

“Normale” Definition (Wikipedia):

- Commercial: 0 ° to 70 °C
- Industrial: -40 ° to 85 °C
- Military: -55 ° to 125 °C

“Altera” Definition:

- Commercial: 0 °C to 85 °C
- Industrial: -40 °C to 100 °C
- Automotive: -40 °C to 125 °C
- Extended: -40 °C to 125 °C
- Military: -55 °C to 125 °C

NXP LS1046 CPU:

- Standard: 0 °C to 105 °C
- Extended: -40 °C to 105 °C

“Maxim” Definition:

- Industrial: -20 °C to 85 °C
- Automotive: -40 °C to 125 °C
- Extended Industrial: -40 °C to 85 °C
- Military: -55 °C to 125 °C
- AEC-Q100 Level 2: -40 °C to +105 °C

Notwendige Eigenschaften ECC Speicher & NAND Flash

- Suchen Sie mal nach ECC bei ARM CPUs. Das Ergebnis ist recht unbefriedigend.
 - Cortex-R7 hat einen AXI Bus mit ECC in der Definition.
 - Intern sind die L1 (und eventuell L2) Caches mit ECC geschützt.
 - Nur ganz wenig Informationen zu Prozessoren mit ECC Memory Controller.
- Also hilft nur ausgiebiges Studieren der Datenblätter der CPU und der Boards.
 - Wenn eine CPU ECC Memory unterstützt, ist es noch lange nicht gesagt, dass der Boardhersteller dieses auch benutzt.
 - Es muss 1 Speicherbaustein mehr verbaut werden
 - Bauteinkosten + Platinen Fläche
- Wenn NAND Flash, dann nur SLC. MLC oder gar TLC geht gar nicht!

NXP Layerscape ARM CPUs

Kurzvorstellung

- ARM Cortex A7, A9, A53 und A72
- Von 0,6GHz 2x A7 Core bis 2,2GHz 16x A72 Core
- ECC Memory für Einzelbit Fehler Behebung und Doppelbit Fehler Erkennung
- Es sind QorIQ Prozessoren, wo der PowerPC Kern durch ARM Kern ersetzt wurde
- IO Schnittstellen ähnlich wie PowerPC T10xx Prozessoren
 - Bereits seit vielen Jahren existierende Treiber von PowerPC QorIQ Prozessoren können benutzt werden. Erfahrung mit den Treibern vorhanden.
- Sehr viel IOs, wie CAN, SPI, QuadSPI, I²C, Ethernet (bis zu 5x 1Gbps und 2x 10Gbps), TSN, GPIO, Timer, UARTs, SD, USB, PCIe, SATA.
- Temperaturbereich: 0 oder -40 °C bis +105 °C
- Langzeitverfügbarkeit: Longevity 10 oder 15 Jahre

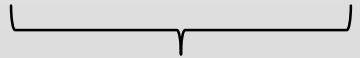
LS1046A

- 4 Core ARMv8 Cortex A72 1,2 – 1,8 GHz
- 64+8 Bit DDR4 ECC Memory Controller
- SPI, QuadSPI, NAND, I²C, Ethernet (4x 1Gbps, 1x 2.5Gbps, 2x 10Gbps), GPIO, Timer, PWM, 4x UARTs, SD, 3x USB3.0, 3x PCIe3.0, SATA3.0
- Langzeitverfügbarkeit: Longevity März 2016 + 15 Jahre
- Kein Smartphone Schnickschnack, wie OpenGL, Audio, Kamera, etc.

Performance Vergleich 32Bit LS1046 vs. i.MX6 vs. T1042

Normalisiert auf 1GHz, CLANG 7.0.0 Compiler, OS-9 6.1

Benchmark	LS1046A	i.MX6	T1042	LS1046A Linux 64bit
Core	Cortex A72	Cortex A9	PPC e5500	Cortex A72
Dhrystone MIPS -O3	3.961.080	2.463.230	2.167.626	7.936508
Dhrystone MIPS -O0	1.572.638	949.057	858.920	2.192.982
Whetstone MWIPS	1.675	943	420	1.821


 Exakt gleiches Binary

Dhrystone = Integer Benchmark
Whetstone = Floating Point Benchmark

Performance Vergleich

LS1046 vs. T1042

Normalisiert auf 1GHz, GCC 7.3 Compiler, Linux 4.1.15-rt

Benchmark	LS1046A 64bit	T1042 32bit
Core	Cortex A72	PPC e5500
Dhrystone MIPS -O3	11.904.761	4.629.629
Dhrystone MIPS -O0	3.144.654	1.141.552
Whetstone MWIPS	1.282	509

Warum so unterschiedliche Werte bei gleicher CPU?

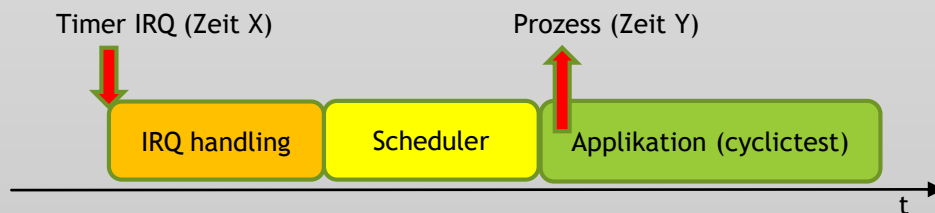
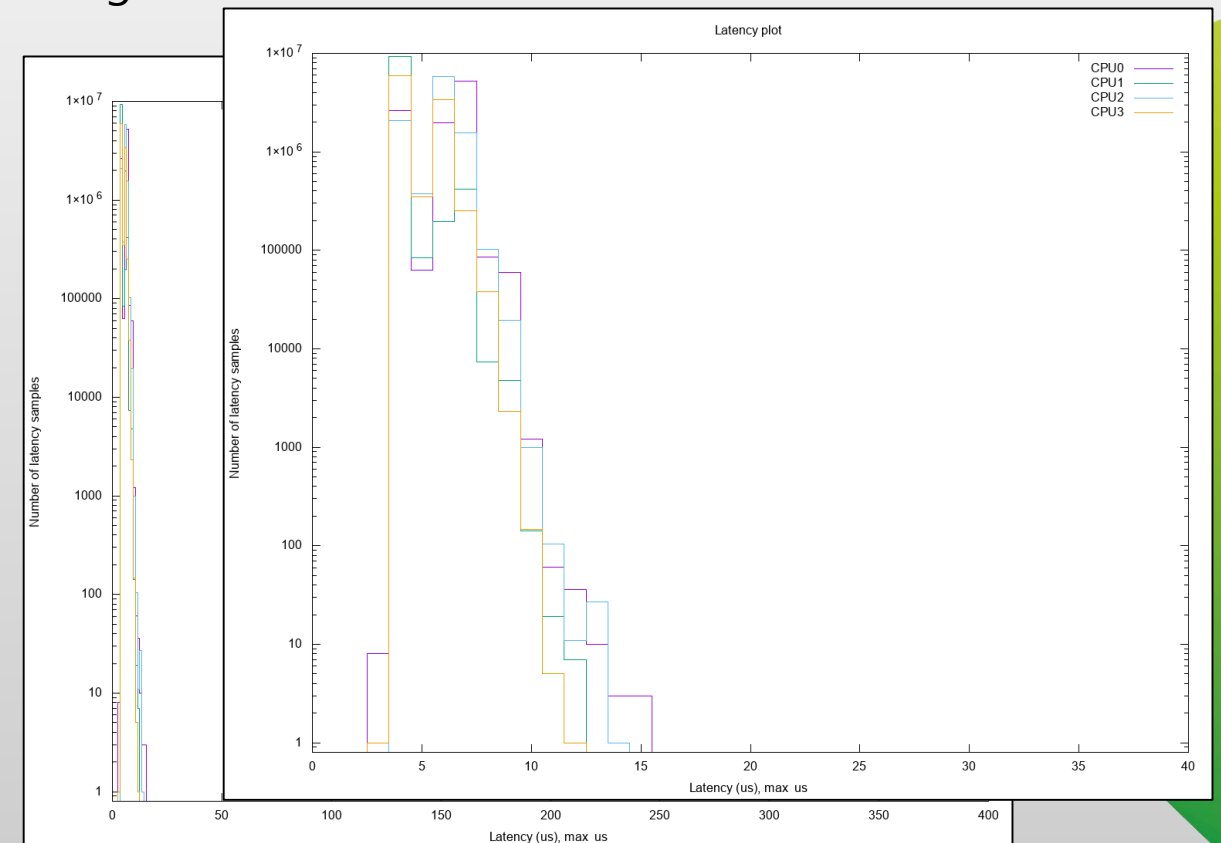
Die Compiler kennen die Benchmarks und sind so optimiert, dass diese besonders gut ausfallen. Hat mit der Realität nur bedingt zu tun. Die Benchmarks wurden hier benutzt um die Relativen Werte zwischen den CPUs zu zeigen.

Dhrystone = Integer Benchmark
Whetstone = Floating Point Benchmark

Latency Benchmark (OSADL.org)

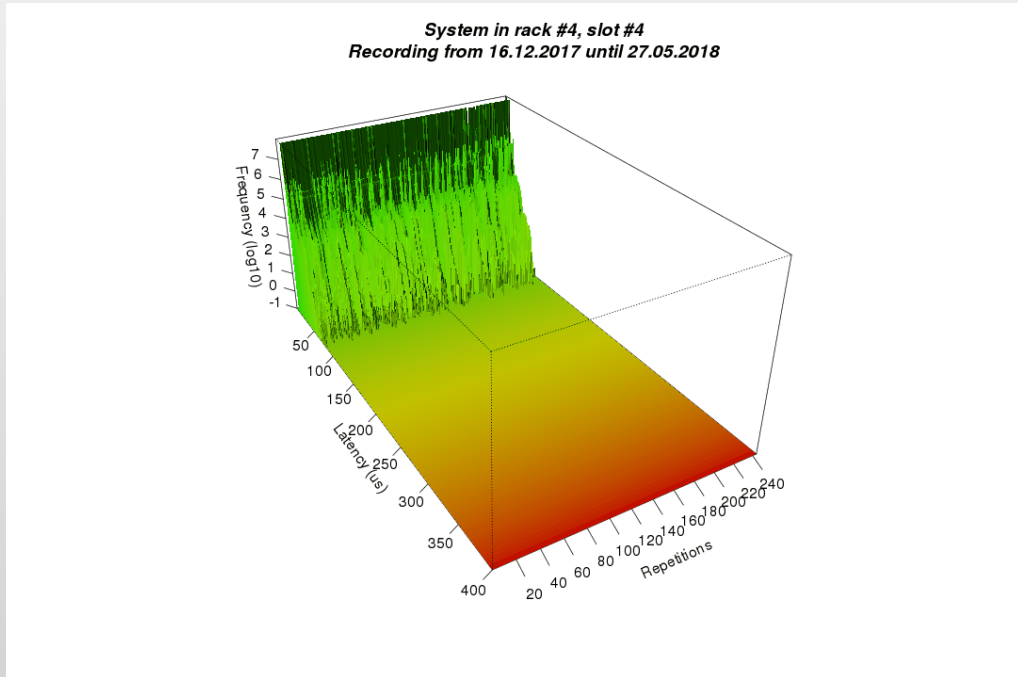
Messung IRQ bis User-Applikation

- Prozess startet Timer/NanoSleep für Zeitpunkt X und legt sich schlafen
- Timer IRQ zum Zeitpunkt X
- Triggert ein Signal / Event zum Prozess
- Im Prozess wird Zeitpunkt Y gelesen
- Latency = Y – X
- 100.000.000 mal alle 200µsec = 5.55 Stunden
- Werte in Histogramm
- Darstellung in 3D über alle bisherigen Messungen

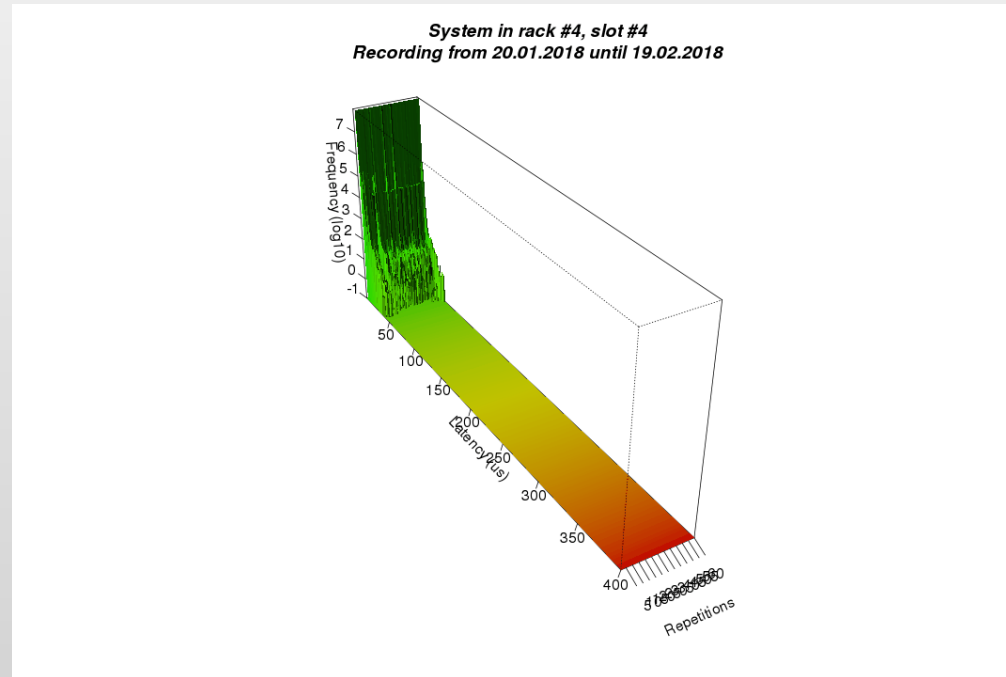


Latency Benchmark (OSADL.org)

Messung IRQ bis User-Applikation



r0/s4710070 iCore @ 3.50GHz Linux



r4/s4511040 DS-9

LLVM/CLANG für ARM (llvm.org)

- Moderne Compiler Technologie
- Völlig neu geschriebene Compiler Umgebung
 - GNU > 30 Jahre alt
 - LLVM/CLANG 10 Jahre (LLVM Masters Thesis 2002)
- C11, C++14, C++17, C++2a (Experimental)
- **GPL frei**
 - License: University of Illinois/NCSA Open Source License (with portions dual licensed under the MIT License)
- Neu geschriebene Libraries -> GPL frei
 - C Lib (musl)
 - C++ Lib
- Sehr schneller und hoch optimierender Compiler.
- Kennt die Ausführungszeiten und Latenzen der CPUs und kann damit optimieren.

LLVM/CLANG für ARM (llvm.org)

```
double a, b, c, d;
```

```
double w, x, y, z;
```

```
a = b + c;
```

```
d = a + b;
```

Muss auf beenden der vorherigen Operation warten

```
w = x * y;
```

```
z = w + x;
```

Anhand seiner Kenntnisse der Befehls Latenzzeiten baut er entsprechend um:

```
a = b + c;
```

```
w = x * y;
```

```
d = a + b;
```

```
z = w + x;
```

Interessant für Reihenentwicklung wie z.B. Sinus, Cosinus ...

Sind ARM Prozessoren endlich für den Industriellen Einsatz gerüstet?

JA

- Notwendige Eigenschaften für den Einsatz in der Industrie.
 - Erweiterter Temperaturbereich
 - Speicher mit Fehlerkorrektur (ECC Memory)
 - Massenspeicher mit langlebigen Zellen (NAND SLC)
 - Langzeitverfügbarkeit
 - Industrietaugliche IO Schnittstellen
 - Echtzeitfähigkeit